PAT-NO:

JP403184391A

DOCUMENT-IDENTIFIER:

JP 03184391 A

TITLE:

ASSEMBLING OF SEMICONDUCTOR LASER

PUBN-DATE:

August 12, 1991

INVENTOR - INFORMATION:

NAME

NAGAI, YUTAKA

ASSIGNEE - INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO:

JP01324531

APPL-DATE: December 13, 1989

INT-CL (IPC): H01S003/18, H01L023/36

US-CL-CURRENT: 372/43

ABSTRACT:

PURPOSE: To ease assembling amd improve mass-production by simultaneously polishing an LD wafer and a spacer semiconductor substrate.

CONSTITUTION: In polishing the back surface in an LD process, a

semiconductor substrate of the same type as that of the LD is polished

simultaneously with an LD wafer, and the surface of the same to be polished is

etched. The thickness d<SB>1</SB> of an LD chip 1 and that d < SB > 2 < /SB > of a

spacer 2 are formed in the order of μ m.

COPYRIGHT: (C) 1991, JPO&Japio

⑩ 日本国特許庁(JP)

① 特許出願公開

□ 公 開 特 許 公 報 (A) 平3−184391

®Int. Cl. ⁵

60発明の名称

識別記号

②符

庁内整理番号

❸公開 平成3年(1991)8月12日

審査請求 未請求 請求項の数 1 (全3頁)

H 01 S 3/18 H 01 L 23/36 6940-5F

7220-5F H 01 L 23/36

Z

半導体レーザの組立方法

②出 願 平1(1989)12月13日

顧 平1-324531

⑫発 明 者 永 井

豊 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マ

イクロ波デバイス研究所内

⑪出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2番3号

⑫代 理 人 弁理士 大岩 增雄 外2名

明 組 書

1. 発明の名称

半導体レーザの組立方法

2. 特許請求の範囲

8. 発明の詳細な説明

〔産業上の利用分野〕

この発明は特に高出力半導体レーザの組立方 法に関するものである。

〔従来の技術〕

第 8 図は従来の半導体レーザ(以下 L D と略 †) の上下両側にヒートシンクを設けた場合の 業子断面図で、図中、III L D チップ、(2) スペー サ、(3) 下側ヒートシンク、(4) 上側ヒートシンク 、(4) 全ワイヤをそれぞれ示す。

次に組立方法について説明する。

高出りなし、 お出りなし、 が大だいのでは、 が大がいいでは、 がいいでは、 がいでは、 がいがでは、 がいがでは、 がいがでは、 がいがでは、 がいがでは、 がいがでは、 がいがでがは、 がいがでがながががでがががががが 側に設置して上側ヒートシンクの安定化を図つ ていた。

[発明が解決しようとする課題]

従来の高出力 L D の租立方法は以上のように 構成されていた。

使来の方法によると、 L D チップの厚さ d1 と
スペーサの厚さ d2 を pm オーダーで揃えることは非常むずかしいので、面がそろいにくい結果、ワイヤボングする頭に上側ヒートシンクが
傾いたりして組立しづらいという問題があつた。

この発明は上記のような問題を解消するためになされたもので、LDチップとスペーサの厚さが mm オーダーで一致しているので面がそろつている 研集、非常に組立てしやすく 量産性に使れている高出力LDの組立方法を得ることを目的とする。

[銀額を解決するための手段]

この発明に係る高出力もDの組立方法は、 E Dのプロセス工程中の裏面研磨でもD用ウェハ と同種の半導体基板を同時に研磨し、 E D用ゥ

プロセス工程の最終段階の基面研磨及び研磨面のエッチングによる鏡面化の過程でLDウェハの磨厚は100mm程度になる。この厚層化は、ウエハを容易に劈開できるようにするためである。この時どうしても設定層厚に対して±10mm程度は5ついてしまう。従つて、スペーサの厚みを数mm 特度で再現性良く作製しても、LDチップ自身の厚みのは5つきのため前起したような不都合が生じてしまう。

本発明では、LDのブロセス工程中の裏面研 勝時にLDと同種の半導体基板をLD用ウェハ と同時に研磨及び研磨面エッチを行なえば互い の層厚は土まり血程度でほぼ等しくなる。研磨 した半導体基板をスペーサに必要な大きさに 開してLDチップと同じ要領で下側ヒートシックはに接着してスペーサとして用いれば、LD スペーサと面をそろえることができる。この結 果、高出力LDの組立てが容易になるので豊産 性が向上する。

次にこの発明の他の一実施例について説明す

エハと同じにして、スペーサとして使かりとするものである。

[作用]

この発明における高出力 L D の組立方法は、 L D 用 クエハとスペーサ用の半導体基板を同時 研磨するので、 L D チップとスペーサの 層厚が μm オーダーで一致する結果、組立て しゃすく なる。

〔実施例〕

以下、この発明の一実施例を凶について説明 する。

第1図にないて、図中、(1) L D チップ、(2) スペーサ、(3) 下側ヒートシンク、(4) 上側ヒートシンク、(6) 金ワイヤをそれぞれ示す。

高出力 L D の組立てにないて、従来のスペーサが充分を用をなさないのは、 L D の厚みがウェハ毎に 1 0 μm 租赁のオーダーではらつくからである。 これは本質的に L D のプロセスに帰因する。 L D に用いられる半導体基板は 800 ~400μm の層厚のものが一般的である。しかし、

る。 新1図(b) がこの発明の他の一実應例を示す 図で、図中のロ"はスペーサ用LD、(6) の矢印 はLDのPF接合の位置をそれぞれ示す。

以上のように、この発明によれば、スペーサをLD用ウェハと同時に研劇した半導体基板もるいは同一クェハからとつたLDチップを使えば、LDとスペーサの前が数≠m のオーダーで

特開平3-184391(3)

そろう 后果、組立てが容 になり賃産性が向上 する等の効果がある。

4. 図面の簡単な説明

第1 図 (a) はこの発明の一実務例による高出力 L D の組立てを示した図、第1 図 (b) はこの発明 の他の実施例による高出力 L D の組立てを示し た図、第2 図は従来の高出力 L D の組立てを示 した図である。

図中、山は L D チップ、 21 はスペーサ、 (3) は 下 関ヒートシンク、 (4) は上 側ヒートシンク、 (5) は 金ワイヤ、 (8) は P N 接合をそれぞれ示す。 た か、図中 同一符号は 同一または 相当 部分を示っ 代理人 大 労 増 維





